

日 本 国 特 許 庁
JAPAN PATENT OFFICE

63979-042
T. OHTSUKA et al.
April 21, 2004

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 1 月 2 5 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 4 0 5 8 8
[ST. 10/C]: [J P 2 0 0 2 - 3 4 0 5 8 8]

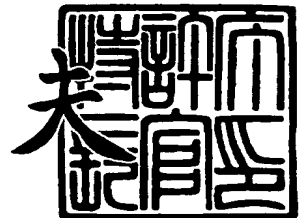
出 願 人
Applicant(s): 松 下 電 器 産 業 株 式 会 社



2 0 0 3 年 1 0 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 1 3 8 1

【書類名】 特許願

【整理番号】 2030240108

【提出日】 平成14年11月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10 421

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大塚 隆

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 豊田 健治

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 強誘電体キャパシタを用いたメモリセルとその制御方法

【特許請求の範囲】

【請求項 1】 相補型のデータを用いてデータをラッチするラッチ回路と、前記ラッチ回路の第一のノードと第二のノードとが、第一のデータ入出力線と第二のデータ入出力線とに、それぞれ第一および第二のスイッチング素子を介して接続されており、第一のデータ入出力線と第二のノードとの間に強誘電体キャパシタが接続され、第二のデータ入出力線と第一のノードとの間に強誘電体キャパシタが接続されているメモリセル。

【請求項 2】 強誘電体キャパシタと第一および第二のスイッチング素子との間に強誘電体キャパシタ選択素子が接続されている、請求項 1 記載のメモリセル。

【請求項 3】 第一および第二のスイッチング素子と、強誘電体キャパシタに接続された第一および第二の制御素子を備えている、請求項 1 および請求項 2 記載のメモリセル。

【請求項 4】 前記第一または第二のスイッチング素子の少なくとも一方が、制御信号によって動作するインバータからなる、請求項 1 から請求項 3 記載のメモリセル。

【請求項 5】 強誘電体キャパシタへの書きこみあるいは読み出し時においてのみ、第一および第二のスイッチング素子をオフさせる、請求項 1 から請求項 4 記載のメモリセルの制御方法。

【請求項 6】 第一および第二のスイッチング素子がオフのときのみ、強誘電体キャパシタ選択素子がオンする、請求項 5 記載のメモリセルの制御方法。

【請求項 7】 データ読み出し時に第一のノードと第二のノードを接地電位にしたのち、第一および第二のスイッチング素子をオフ状態とし、さらに、強誘電体キャパシタ選択素子をオン状態とした後、ラッチ回路の電源電位を上昇させる動作を含む、請求項 5 から請求項 6 記載のメモリセルの制御方法。

【請求項 8】 データ読み出し時に第一のノードと第二のノードを接地電位にしたのち、第一および第二のスイッチング素子をオフ状態とし、さらに、強誘電

体キャパシタ選択素子をオン状態とした後、第一および第二のデータ入出力線の電位を上昇させ、その後ラッチ回路の電源電位を上昇させる動作を含む、請求項 5 から請求項 7 記載のメモリセルの制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、強誘電体キャパシタを用いた、不揮発性のメモリセルに関する。

【0 0 0 2】

【従来の技術】

近年携帯機器の普及などを中心として、不揮発性メモリの需要が増大している。不揮発性メモリとしては、これまでフラッシュメモリや、F E R A M と呼ばれる強誘電体の分極を利用したもの、M R A M と呼ばれるような磁気抵抗を利用したもの、相変化材料を利用したもの等が開発あるいは提案されてきている。

【0 0 0 3】

その中で、強誘電体キャパシタを用いた不揮発性メモリセルは多数提案されており、その中でも、高速ラッチ動作と不揮発メモリ動作を併せ持つ形態のメモリセルが提案されてきている。例えば、特許文献 1 や特許文献 2 に記された一般にシャドーラムと呼ばれる回路がある。図 9 に特許文献 1 に開示されているシャドーラム回路を示す。

【0 0 0 4】

これは、一对のインバータ回路からなるデータラッチ部分と、一对のデータラインと、プレートラインとデータラインとプレートラインの間に一对の制御トランジスタと強誘電体キャパシタが接続された構成となっている。

【0 0 0 5】

通常はデータラインを使用してフリップフロップと同様の動作が可能であり、電源断時にデータを強誘電体キャパシタにストアし、電源投入時に強誘電体キャパシタからデータを読み込むという動作を行う。

【0 0 0 6】

図 1 0 は特許文献 2 に示されたシャドーラム回路を示している。図 1 0 ではシ

ャドーラムのセルを選択するための選択トランジスタが省略されているが、通常の動作は選択トランジスタをオンし、データ書きこみを行う。また、読み出しも、同様に、選択トランジスタをオンしてラッチされているデータを読み出すこととなる。

【0007】

また電源断時のデータのストア方法は、それぞれの提案回路で異なるが、フリップフロップ動作とは異なる制御線またはプレートラインを用いてラッチ回路内部のデータを強誘電体キャパシタに書きこむ、すなわち、分極反転動作に使用している。

【0008】

一方、読み出し時においても、制御線あるいは、プレートライン電位をコントロールすることによって、リコール動作を行っている。

【0009】

【特許文献1】

特許第2692641号公報

【特許文献2】

特開2000-293989号公報

【0010】

【発明が解決しようとする課題】

しかしながら、上記従来のメモリセルには、以下のような不具合があった。

【0011】

特許文献1では、制御線と、ラッチ回路内部のデータと制御線との電位差をなくすための短絡トランジスタ（図9の制御トランジスタ）を使用している。一方で、特許文献2では、プレートラインを用いて、強誘電体キャパシタへの書きこみ、読み出しを制御する。

【0012】

以上の方法では、強誘電体キャパシタの分極反転を生じさせるために制御線、プレートラインといった別の信号線が最低でも必要であり、制御信号として別の系統でメモリセルに加えなければならない。すなわちプレートラインを設ける必

要があるため、配線数が多くなるといった問題を有し、FPGAなどの配線数が多くなるデバイスには不向きである。

【0013】

また、通常のフリップフロップ動作では、強誘電体キャパシタへの電圧印加を防ぐために、電源電圧の半分程度の電位をPLラインにもたしているが、抗電界以下の電圧印加であってもある程度の分極が生じるマイナーループを描くため、ラッチ部分の蓄積ノードの電位が強誘電体キャパシタのマイナーループによって変位しやすく、強誘電体キャパシタの容量とラッチ部分を構成するインバータのドライブ能力との関係をうまく設定しないと、通常のラッチ動作時に保持電位がふらつくこととなり、動作の安定性が危うくなるといった問題も有している。

【0014】

さらに、通常強誘電体キャパシタは、抗電界と分極の飽和ポイントとの電界の関係は、材料によって異なるものの2倍以上必要なものが多い。そのため、強誘電体を完全に飽和させるためには、PLの電位を接地電位や、電源電位以上にバイアスしないと強誘電体キャパシタを飽和分極させることが困難であり、特別な昇圧回路が必要となる。PLラインに電源電圧の半分の電位を予め印加しておいても、強誘電体キャパシタには最高でも通常の倍の電界しか印加できない。

【0015】

つまり、電源電圧の半分の電位をPLに設定してあるときは抗電界以下の電界が強誘電体キャパシタに印加されていることが望ましいということを考えると、PLを電源電圧および接地電位に変動させても強誘電体の分極飽和を起こす電界を強誘電体キャパシタに印加しにくいということになる。

【0016】

本発明の目的は、配線数の低減と安定動作に最適な強誘電体キャパシタを用いたフリップフロップ動作も可能なメモリセルとその制御方法を提案することにある。

【0017】

【課題を解決するための手段】

本発明の強誘電体キャパシタを用いたメモリセルとその制御方法では、相補型

のデータを用いてデータをラッチするラッチ回路と、ラッチ回路の第一のノードと第二のノードとが、第一のデータ入出力線と第二のデータ入出力線とに、それぞれ第一および第二のスイッチング素子を介して接続されており、第一のデータ入出力線と第二のノードとの間に強誘電体キャパシタが接続され、第二のデータ入出力線と第一のノードとの間に強誘電体キャパシタが接続されている。そのためプレートラインのような補助的な配線を必要とせずに、書きこみ読み出しと、通常のフリップフロップとしての動作を行うことが可能となる。

【0018】

本発明の強誘電体キャパシタを用いたメモリセルとその制御方法では、強誘電体キャパシタと第一および第二のスイッチング素子との間に強誘電体キャパシタ選択素子を設けたことを特徴としている。強誘電体キャパシタ選択素子を設けたので、通常のフリップフロップの動作時に、強誘電体キャパシタに不用の電圧が印加されるのを防ぐことが可能となる。

【0019】

本発明の強誘電体キャパシタを用いたメモリセルとその制御方法では、第一および第二のスイッチング素子と、強誘電体キャパシタに接続された第一および第二の制御素子を備えている。以上の構成をとることによって、メモリセルを選択することが可能となり、不必要な書きこみを減らすことが可能となる。

【0020】

本発明の強誘電体キャパシタを用いたメモリセルとその制御方法では、第一あるいは第二のスイッチング素子の少なくとも一方が制御信号によって動作するインバータからなることを特徴としている。第一あるいは第二のスイッチング素子をインバータにすることによって、スイッチング素子による電圧の低下を防ぐことができ、動作が安定することとなる。

【0021】

本発明の強誘電体キャパシタを用いたメモリセルとその制御方法では、強誘電体キャパシタへの書き込みあるいは読み出し時のみに、第一および第二のスイッチング素子をオフさせることを特徴としている。そのため、強誘電体キャパシタへの大きな電圧印加を書き込み、読み出し時のみに限定することが可能であり、

動作の信頼性が高められることとなる。

【0022】

本発明の強誘電体キャパシタを用いたメモリセルとその制御方法では、第一のスイッチング素子および第二のスイッチング素子がオフの時のみ第一強誘電体キャパシタ選択素子がオンすることを特徴としている。第一および第二のスイッチング素子がオフの時のみ強誘電体キャパシタ選択素子をオンするので強誘電体キャパシタへの電圧の印加を読み出し、書きこみ時に限定することが可能となるため、動作の安定化と消費電力の低減が達成されることとなる。

【0023】

本発明の強誘電体キャパシタを用いたメモリセルととの制御方法では、データの読み出し時に、第一のノードと第二のノードと第一および第二のデータ入出力線を接地電位にした後、ラッチ回路を構成するトランジスタの電源電位を上昇させて読み出し動作を行うことを特徴としている。以上の読み出し方法を行うことによって、簡便に強誘電体キャパシタに蓄積された情報を読み出すことが可能となる。

【0024】

本発明の強誘電体キャパシタを用いたメモリセルとその制御方法では、データ読み出し時に、第一および第二のデータ入出力線の電位と第一および第二のノード電位を接地電位としたのち、第一および第二のスイッチング素子をオフとし、さらに強誘電体キャパシタ選択素子をオン状態としたのち、第一および第二のデータ入出力線の電位を上昇させた後、ラッチ回路を構成する素子の電源電位を上昇させることを特徴としている。以上の読み出し方法を用いることによって、簡便な動作でデータを読み出すことが可能となる。

【0025】

【発明の実施の形態】

以下、本発明の実施の形態における強誘電体キャパシタを用いたメモリセルおよびその制御方法について説明する。

【0026】

(第1の実施の形態)

図1は本発明の第1の実施形態における強誘電体キャパシタを用いたメモリセルの回路図である。

【0027】

図1において、1はラッチ回路、2は第一のデータ入出力線、3は第二のデータ入出力線、4は第一のスイッチング素子、5は第二のスイッチング素子、6は第一のノード、7は第二のノード、8は強誘電体キャパシタである。

【0028】

本発明の第一の実施形態における強誘電体キャパシタを用いたメモリセルは、ラッチ回路1の第一のノード6が、第一のスイッチング素子4を介して第一のデータ入出力線2に接続されており、一方第二のノード7は第二のスイッチング素子5を介して第二のデータ入出力線3に接続され、第一のノード6と第二のデータ入出力線3との間に強誘電体キャパシタ8aが配置され、第二のノード7と第一のデータ入出力線2との間に強誘電体キャパシタ8bが配置されており、一方第一のノード6と第一のデータ入出力線2は、第一のスイッチング素子4を介して接続された構成となっており、第二のノード7と第二のデータ入出力線3は、第二のスイッチング素子5を介して接続された構成となっている。

【0029】

次に図1を用いて強誘電体キャパシタを用いたメモリセルの動作について説明する。

【0030】

まず、通常のフリップフロップ動作について説明する。

【0031】

通常のフリップフロップ動作は、まず、第一のデータ入出力線2と第二のデータ入出力線3に相補データを用意する。

【0032】

すなわち通常は一方を電源電位もう一方を接地電位とする。第一のスイッチング素子4と第二のスイッチング素子5をオンすると、第一のノード6および第二のノード7にデータがラッチされることとなる。このような動作は、通常のフリップフロップ回路と同一である。また、ラッチ回路1には、図1においては一

対のインバータを用いたが、同等の機能を有する回路であれば問題ないのは明らかである。すなわち、図 2 に示すような、一对のインバータからなるラッチ回路は、図 3 に示すような抵抗とトランジスタからなる回路でも問題がないのは明らかである。

【0033】

また読み出し時においては、第一のスイッチング素子 4 および第二のスイッチング素子 5 をオンすることによって、ラッチ回路 1 に蓄積されたデータは第一のデータ入出力線 2 および第二のデータ入出力線 3 に読み出され、一般に用いられるフリップフロップ回路と同等の動作が可能である。

【0034】

一方この時、一对の強誘電体キャパシタ 8 a, 8 b の両端には第一のスイッチング素子 4 と第二のスイッチング素子 5 をオン状態とすれば、接地電位と電源電圧から、第一のスイッチング素子 4 と第二のスイッチング素子 5 のしきい値をマイナスした電圧が常に加わることとなる。

【0035】

強誘電体キャパシタは電圧に対して分極が生じる。この電圧と分極の関係を図 4 に示す。

【0036】

強誘電体キャパシタは、電圧を印加することによって分極が生じて図 4 に示すようなヒステリシス曲線を描く。分極が反転する電界を抗電界というが、電源電圧と接地電圧の電位差を抗電界以上に設定しておけば、強誘電体キャパシタは分極反転することとなる。また、両端の電界を除いても残留分極が生じた状態となっている。この電界の向きによって、電界を除去した後の残留分極量が異なることとなるため、この違いを利用してデータを蓄積する。

【0037】

第一の実施の形態では、一般のフリップフロップの動作のデータ書きこみ時に強誘電体キャパシタ 8 の両端に抗電界以上の電界が印加された状態となっている。

【0038】

この時に強誘電体キャパシタ 8 へのデータ書きこみが行われることとなる。また、このフリップフロップへの書きこみ動作を行った後は、第一のデータ入出力線 2 および第二のデータ入出力線 3 の電位は接地電位としておく。また読み出し動作は第一のスイッチング素子 4 および第二のスイッチング素子 5 をオンすることによってラッチされたデータを読み出すこととなる。

【0039】

以上の動作を示したタイミングチャートを図 5 に示す。

【0040】

次に、不揮発動作を実現するためのデータの書きこみおよび読み出し方法について説明する。

【0041】

データの書きこみは本実施の形態においてはフリップフロップとしての動作中は常に強誘電体キャパシタは書きこまれた状態となっており。分極が生じている。したがって、特段の書きこみ動作は必要としない。さらに電源を切る場合には、強誘電体キャパシタ 8 両端の電位差を無くした状態で電源を切ることが安定動作上望ましいので、ラッチ回路 1 の電源電圧を切ると同時に第一のスイッチング素子 4 および第二のスイッチング素子 5 をオンし、さらに第一のデータ入出力線 2 と第二のデータ入出力線 3 を接地バイアスに設定することによって、強誘電体キャパシタ 8 の両端に不要な電位差を生じさせることなく同一電位とすることが望ましい。

【0042】

以上の動作によって、強誘電体キャパシタ 8 へは、第一のノード 6 と第二のノード 7 に応じてデータが書きこまれることとなる。

【0043】

次に読み出し動作について説明する。

【0044】

読み出しの動作は、次のようにして行う。

【0045】

まず、ラッチ回路 1 の電源電圧を接地電位とした状態で第一のスイッチング素

子 4 および第二のスイッチング素子 5 をオンさせる。この時予め第一のデータ入出力線 2 および第二のデータ入出力線 3 の電位を接地電位としておき、第一のノード 6 および第二のノード 7 を同一の接地電位としておく。

【0046】

次に、第一のスイッチング素子 4 および第二のスイッチング素子 5 をオフにする。その後、ラッチ回路 1 を構成するインバータの電源電位を上昇させる。すなわち、図 2 または図 3 に示す 2 カ所の V_{DDL} の電位を上昇させる。

【0047】

このとき、強誘電体キャパシタ 8 の分極状態は、それぞれ逆向きに分極された状態となっている。つまり図 4 において、分極状態は一方が $+P_r$ の状態であり、もう一方は $-P_r$ の状態である。強誘電体キャパシタ 8 に電圧が印加された時の強誘電体キャパシタ 8 の実効的な誘電率は、分極反転が生じる方向と、生じない方向で、異なることとなる。すなわち、 $+P_r$ の状態に分極があるとする正のバイアスが印加されると常誘電的な挙動を示し、一方 $-P_r$ の状態にある状態で正のバイアスを印加すれば抗電界付近で分極反転が生じることとなるため実効的な誘電率が異なることとなる。すなわち、ラッチ部分の電源電圧 (V_{DDL}) を上昇させると第一のノード 6 と第二のノード 7 の電位は上昇を始めるが、それぞれに接続された強誘電体キャパシタ 8 a, 8 b の分極状態に応じて強誘電体キャパシタ 8 a, 8 b の実効的な誘電率が異なるために、第一のノード 6 と第二のノード 7 の電位上昇に違いが生じてくる。さらに電源電圧を上昇させたときに、ラッチ部 1 を構成するインバータの閾値をこえると第一のノード 6 あるいは第二のノード 7 はそれぞれ、強誘電体キャパシタ 8 a, 8 b の分極状態に応じて電源電位あるいは接地電位へと変化することとなり読み出しの動作が完了することとなる。

【0048】

図 1 および図 4 を参照しながらさらに詳細に説明する。

【0049】

一般のフリップフロップと同様に動作させ、第一のスイッチング素子 4 および第二のスイッチング素子 5 をオンに保ち、第一のデータ入出力線 2 および第一の

ノード6がハイ（高電位）に、第二のデータ入出力線3および第二のノード7がロー（低電位）になっているとする。この状態では、強誘電体キャパシタ8aは図1の矢印の向きに分極しており、これは図4のA点に対応する。強誘電体キャパシタ8bは図1の矢印の向きに分極しており、これは図4のB点に対応する。なお、矢印の向きは、ローからハイに向けられている。

【0050】

この状態で、電源が切られる。すると、強誘電体キャパシタ8aの状態は点Aから点Cに、強誘電体キャパシタ8bの状態は点Bから点Dに移動する。これにより、書き込みが終了する。

【0051】

その後、電源を入れ、読み出し動作に入る。

【0052】

まず、ラッチ回路1の電源電圧を接地電位とし、かつ第一のデータ入出力線2および第二のデータ入出力線3の電位を接地電位とした状態で第一のスイッチング素子4および第二のスイッチング素子5をオンさせる。これにより、第一のノード6および第二のノード7が同一の接地電位となる。

【0053】

次に、第一のスイッチング素子4および第二のスイッチング素子5をオフにする。その後、ラッチ回路1を構成するインバータの電源電位を上昇させる。すなわち、図2または図3に示す2カ所のVDDLの電位を上昇させる。

【0054】

そうすると、強誘電体キャパシタ8aについては、図4の点Cから点Aを経由して点Fの方向に向かおうとするようにその状態が変化する。従って、強誘電体キャパシタ8aは常誘電体として作用することになる。この強誘電体キャパシタ8aについては分極は反転しない。なぜなら、第一のノード6が高電圧に、第二のデータ入出力線が低電圧になっており、図1の矢印の向きと同じ向きに電圧が印加されるからである。

【0055】

一方、強誘電体キャパシタ8bについては、図4の点Bから点D、点G、点A

を經由して点Fに向かおうとするようにその状態が変化する。点Gから点Aに向かう際には、分極が反転しようとする。この反転には電荷が必要になるので、実効的な誘電率が大きくなる。この実効的な誘電率が大きくなることにより、VDDLの電位を上昇させていく際には、強誘電体キャパシタ8aの電位が上昇するスピードと比較して、強誘電体キャパシタ8bの電位が上昇するスピードは遅くなる。この遅延により、強誘電体キャパシタ8aの電位と強誘電体キャパシタ8bの電位との間に差が生じる。この差がラッチ部1を構成するインバータの閾値をこえると第一のノード6あるいは第二のノード7はそれぞれ、電源電位あるいは接地電位へと変化する。これにより、読み出しの動作が完了する。

【0056】

以上の回路を構成するにあたり、強誘電体キャパシタ8a, 8bとしては、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT)、 $(\text{Pb}, \text{Zr})\text{TiO}_3$ (PZT) といったような強誘電体メモリで用いられる材料や、これらを基本とする強誘電体材料、または、強誘電体性を有する材料を用いればよい。また、作製のプロセスとしては、既存の強誘電体メモリを作製するプロセスで構築することが可能である。

【0057】

以上のように本実施形態の強誘電体キャパシタを用いたメモリセルとその制御方法によれば、通常のフリップフロップ動作と不揮発性メモリとしての動作を行うことが可能であって、さらに、特別な配線を追加せずに回路を構築できることとなる。

【0058】

(第2の実施の形態)

本発明における第二の実施の形態における強誘電体キャパシタを用いたメモリセルとその制御方法について図6を用いて説明する。

【0059】

第一の実施の形態と異なる点は、第一のスイッチング素子4と強誘電体キャパシタ8a, 8bの間に強誘電体キャパシタ選択素子21, 22が接続されたことにある。

【0060】

強誘電体キャパシタ選択素子 21, 22 は強誘電体キャパシタ 8a, 8b と第一のデータ入出力線 2 を電氣的に分離する役割を果たす。

【0061】

したがって、通常のフリップフロップの動作時に強誘電体キャパシタを第一のデータ入出力線 2 および第二のデータ入出力線 3 から分離することが可能となるため通常動作時の動作信頼性が向上する。つまり、通常のフリップフロップ動作時において強誘電体キャパシタ 8a, 8b が常に分極反転動作することを防ぐ事が可能となるために、不必要な分極反転動作が防止できるとともに、分極反転にともなう消費電力の増大を防ぐ事が可能となるだけでなく、通常のフリップフロップ動作時に強誘電体キャパシタ 8a, 8b の電氣的な影響が排除できるので高速動作と安定動作が可能となる。なお、ここで用いたキャパシタ選択素子 21 は、単体トランジスタであっても、信号制御によってオンオフ制御できるインバータであっても同等の機能を有する素子ならば使用可能なことは明白である。また、MOSFET 型の単体トランジスタを使用する場合には、駆動電圧の低下を防ぐために、ゲートバイアスを昇圧することがよく用いられる。

【0062】

(第 3 の実施の形態)

また、さらに安定動作を行うために図 7 に示す回路構成も可能である。

【0063】

図 7 に示す回路で図 6 に示される第 2 の実施の形態と異なるのは、それぞれスイッチング素子からなる第一の制御素子 31 および第二の制御素子 32 を備えたことにある。

【0064】

第一の制御素子 31 と第二の制御素子 32 を備えたので、強誘電体キャパシタ 8a, 8b を電氣的に分離できるだけでなく、メモリセル自体の選択が可能となるために、アレイ状にメモリセルを構成する場合にメモリセルの選択が容易になるという特徴を有している。なお、強誘電体キャパシタ 8a, 8b を電氣的に分離しないことにしても、スイッチング素子からなる第一の制御素子 31 および第

二の制御素子 32 を備えたことにより、メモリセル自体の選択が可能となる。すなわち、第一の制御素子 31 および第二の制御素子 32 を共にオフにすることにより、メモリセル自体を第一のデータ入出力線 2 および第二のデータ入出力線 3 と電氣的に分離することができる。

【0065】

図 8 に図 7 に示す本実施の形態 3 の回路動作タイミングチャートを示す。図 6 の回路場合の動作も基本的には同一である。

【0066】

通常のフリップフロップ動作は、第一の実施の形態の場合とほぼ同一であるので省略する。ここで注意する点は、通常のフリップフロップ動作では、符号「WE」により示される第一のスイッチング素子と第二のスイッチング素子は常にオンとなっている点である。

【0067】

書きこみの動作は、第一のデータ入出力線および第二のデータ入出力線にデータ D を用意したのち、CE をオンし、同時に WE をオフすると共に FE をオンにして強誘電体へデータの書きこみが行われる。

【0068】

この時、ラッチデータと同じデータを D1 に用意しておくことによって確実な書きこみが行われる。また、CE をオフし、WE と FE をオンすることにより強誘電体キャパシタへ書きこみ動作を行うことも可能である。書きこみ終了後 WE をオフする。

【0069】

さらにその後、D1 および D2 を接地電位とした後、CE をオンして強誘電体キャパシタの両端の電位を接地電位とした後にラッチ回路分の電源 (VDDL) を切断する。

【0070】

次にデータの読み出し動作について説明する。読み出しの原理は第一の実施の形態と同様である。

【0071】

あらかじめ、第一のノードおよび第二のノードを接地電位にしたのちに、ラッチ部の電源電位を上昇させる。

【0 0 7 2】

以上の動作によってデータの読み出しが完了する。

【0 0 7 3】

以上のように、本発明の強誘電体キャパシタを用いたメモリセルでは、通常のフリップフロップ動作と不揮発性のメモリ動作が可能であり、特別な配線を必要とせず簡便に回路を構築することが可能である。

【0 0 7 4】

【発明の効果】

以上の様に、本発明の強誘電体キャパシタを用いたメモリセルを用いれば、通常は高速フリップフロップ動作であってかつ不揮発にも動作可能な低消費電力で安定したフリップフロップ回路が実現できることとなる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態による強誘電体キャパシタを用いたメモリセルの回路図

【図 2】

強誘電体キャパシタの電圧と分極の関係を示す図

【図 3】

本発明の第 1 の実施形態における強誘電体キャパシタを用いたメモリセルの動作を示すタイミングチャート

【図 4】

本発明の第 2 の実施形態による強誘電体キャパシタを用いたメモリセルの回路図

【図 5】

本発明の第 2 の実施形態による強誘電体キャパシタを用いたメモリセルの回路図

【図 6】

本発明の第 2 の実施の形態における、強誘電体キャパシタを用いたメモリセルのタイミングチャート

【図 7】

本発明の第 3 の実施形態による強誘電体キャパシタを用いたメモリセルの回路図

【図 8】

本発明の第 3 の実施の形態における、強誘電体キャパシタを用いたメモリセルのタイミングチャート

【図 9】

特許文献 1 に開示されているシャドールーム回路を示す図

【図 1 0】

特許文献 2 に開示されているシャドールーム回路を示す図

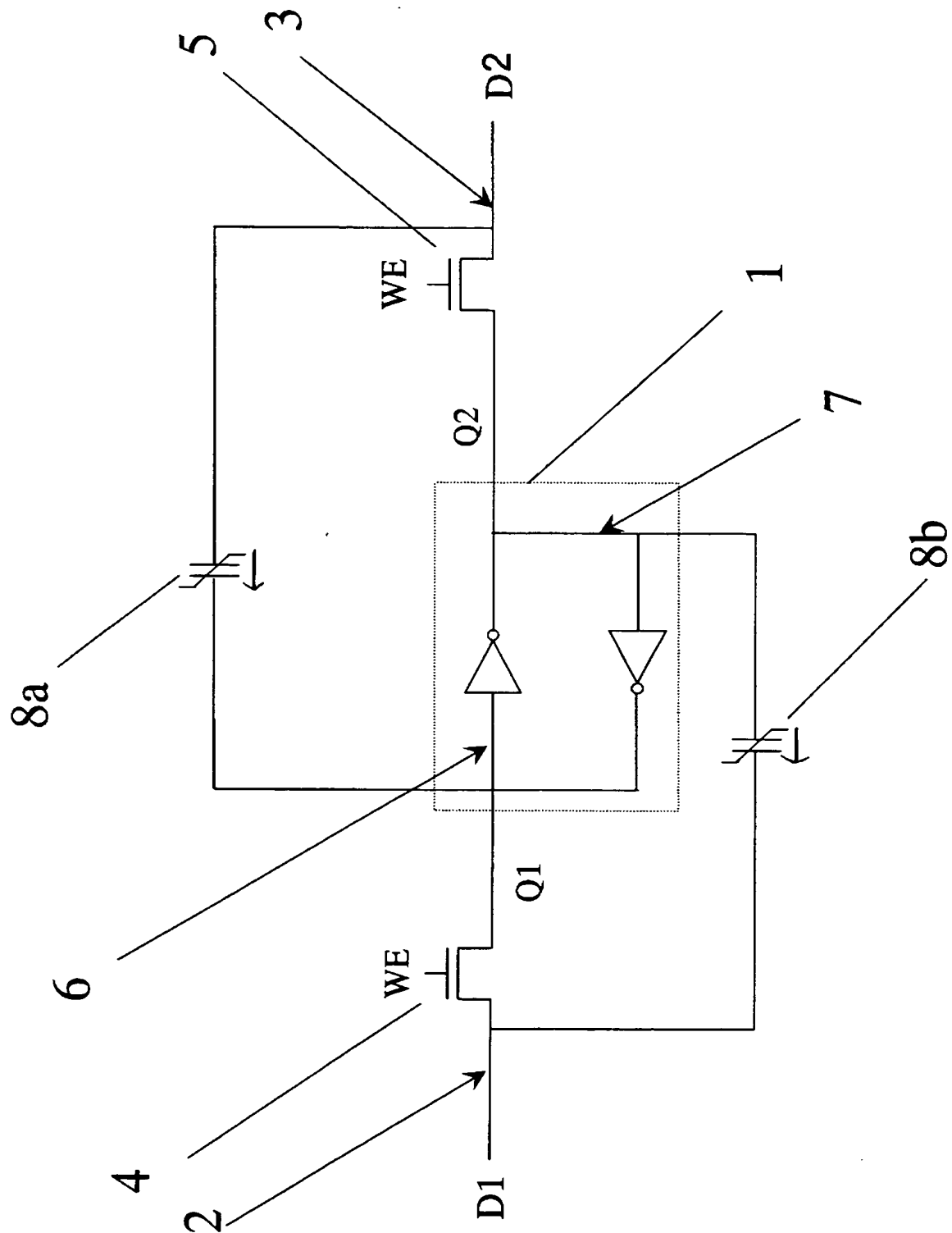
【符号の説明】

- 1 ラッチ回路
- 2 第一のデータ入出力線
- 3 第二のデータ入出力線
- 4 第一のスイッチング素子
- 5 第二のスイッチング素子
- 6 第一のノード
- 7 第二のノード
- 8 a, 8 b 強誘電体キャパシタ
- 2 1, 2 2 強誘電体キャパシタ選択素子
- 3 1, 3 2 制御素子

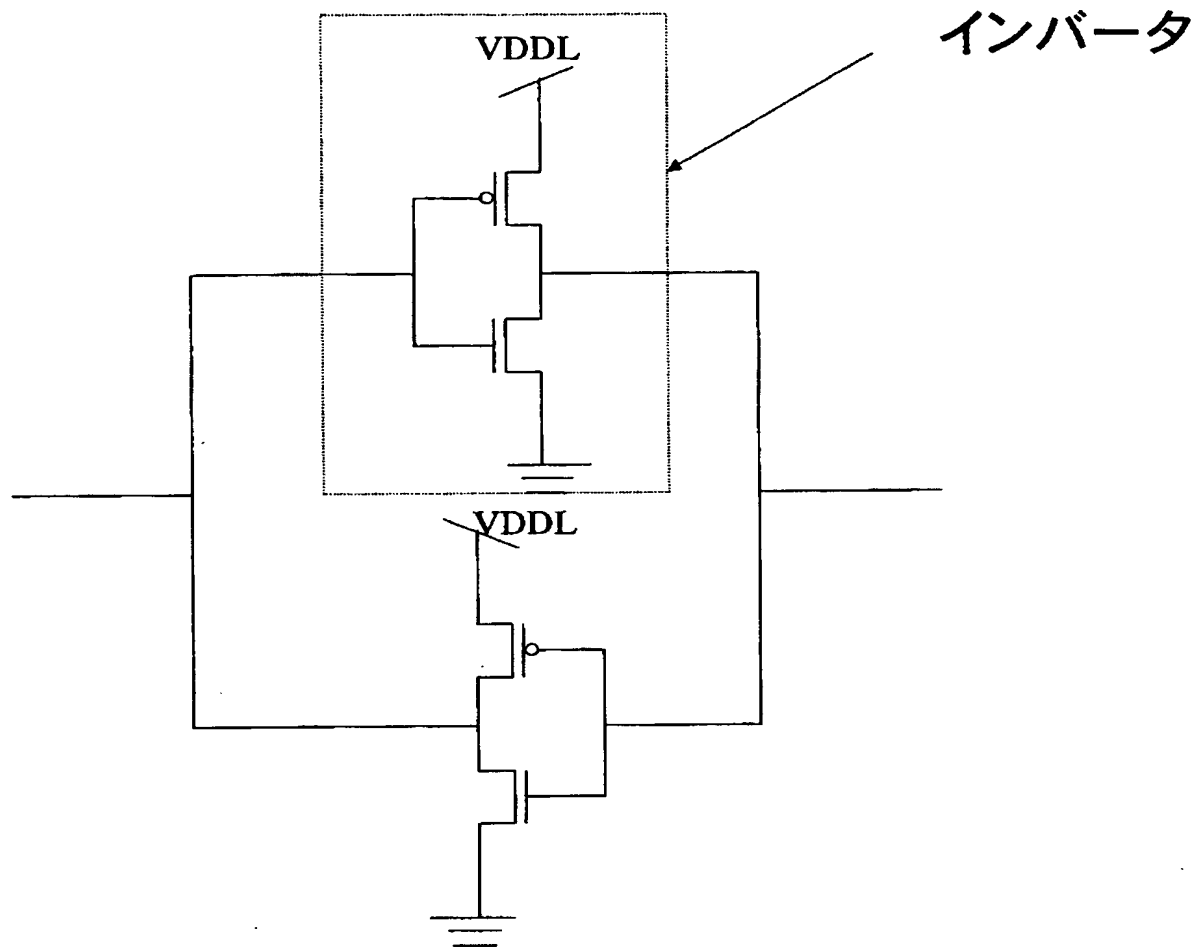
【書類名】

図面

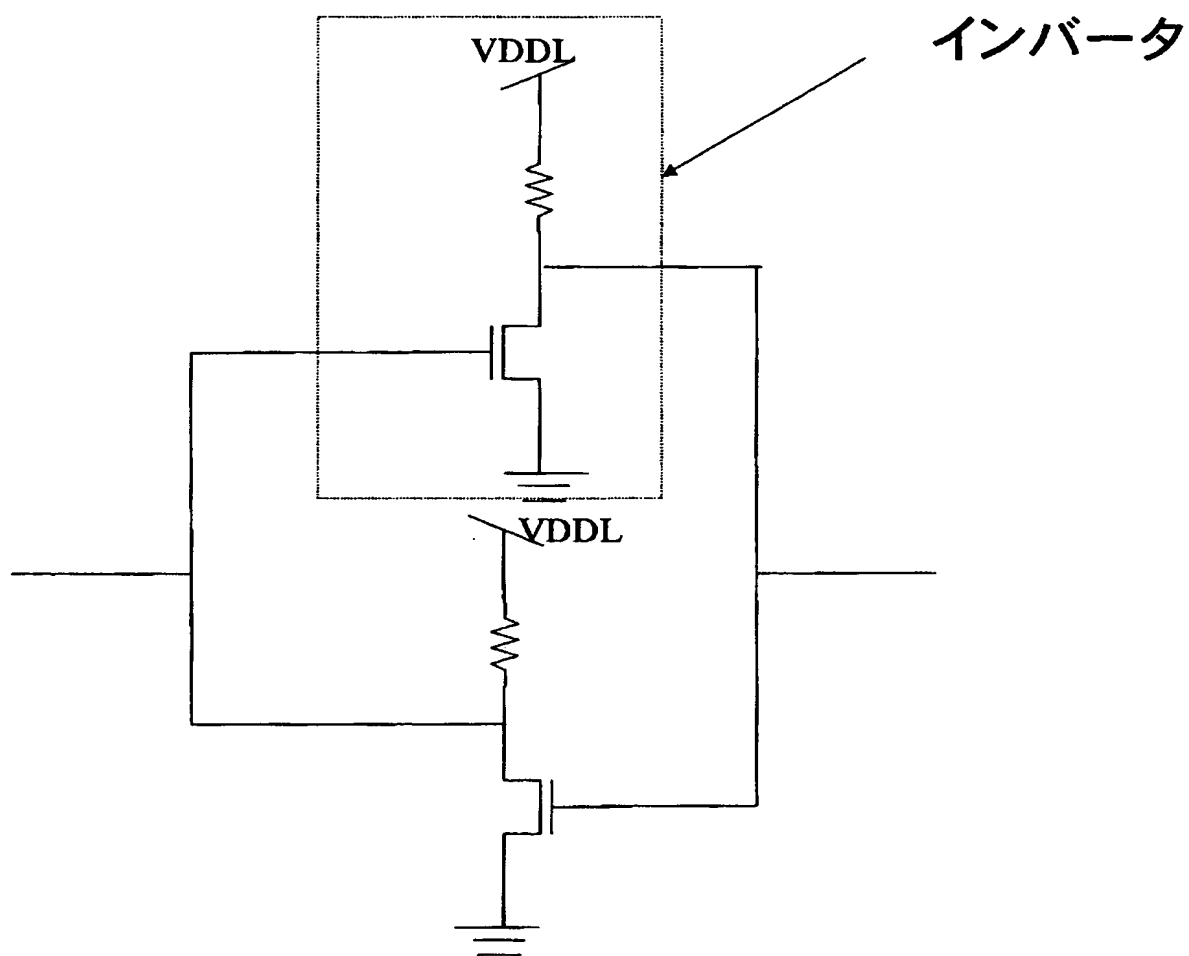
【図 1】



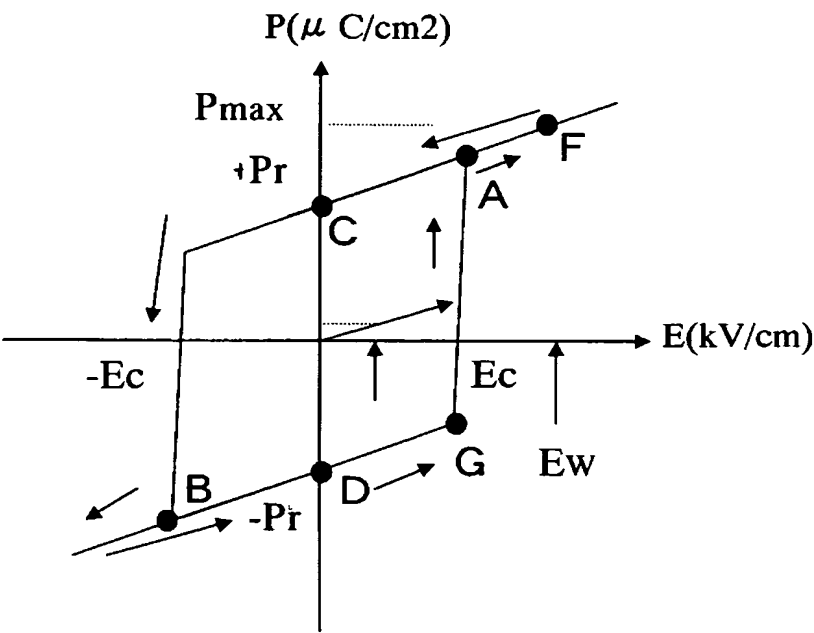
【図 2】



【図 3】



【図 4】



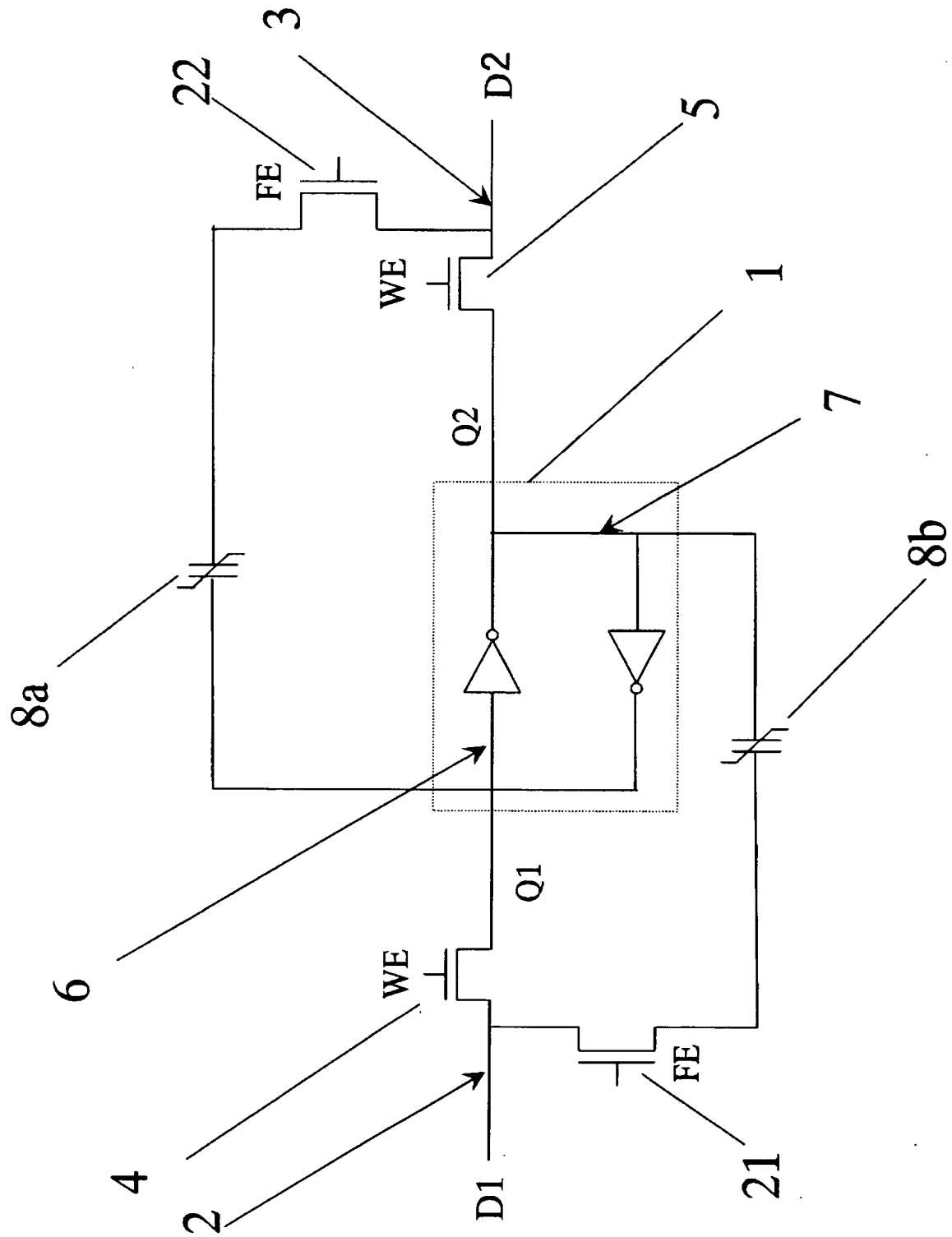
分極ヒステリシス

Hysteresis loop of ferroelectric

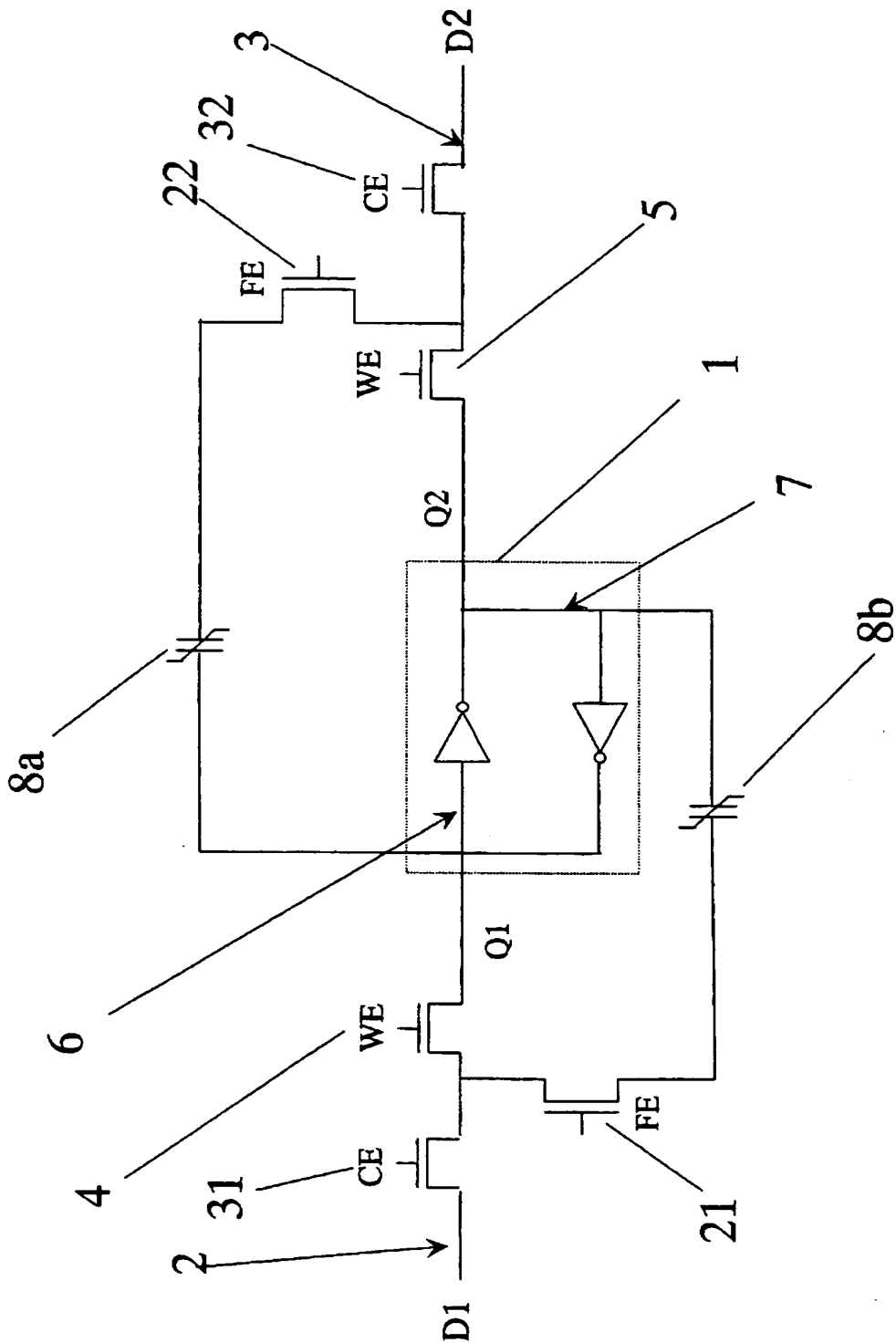
【図 5】

D			
WE			
Q1	L	H	L
Q2	H	L	H

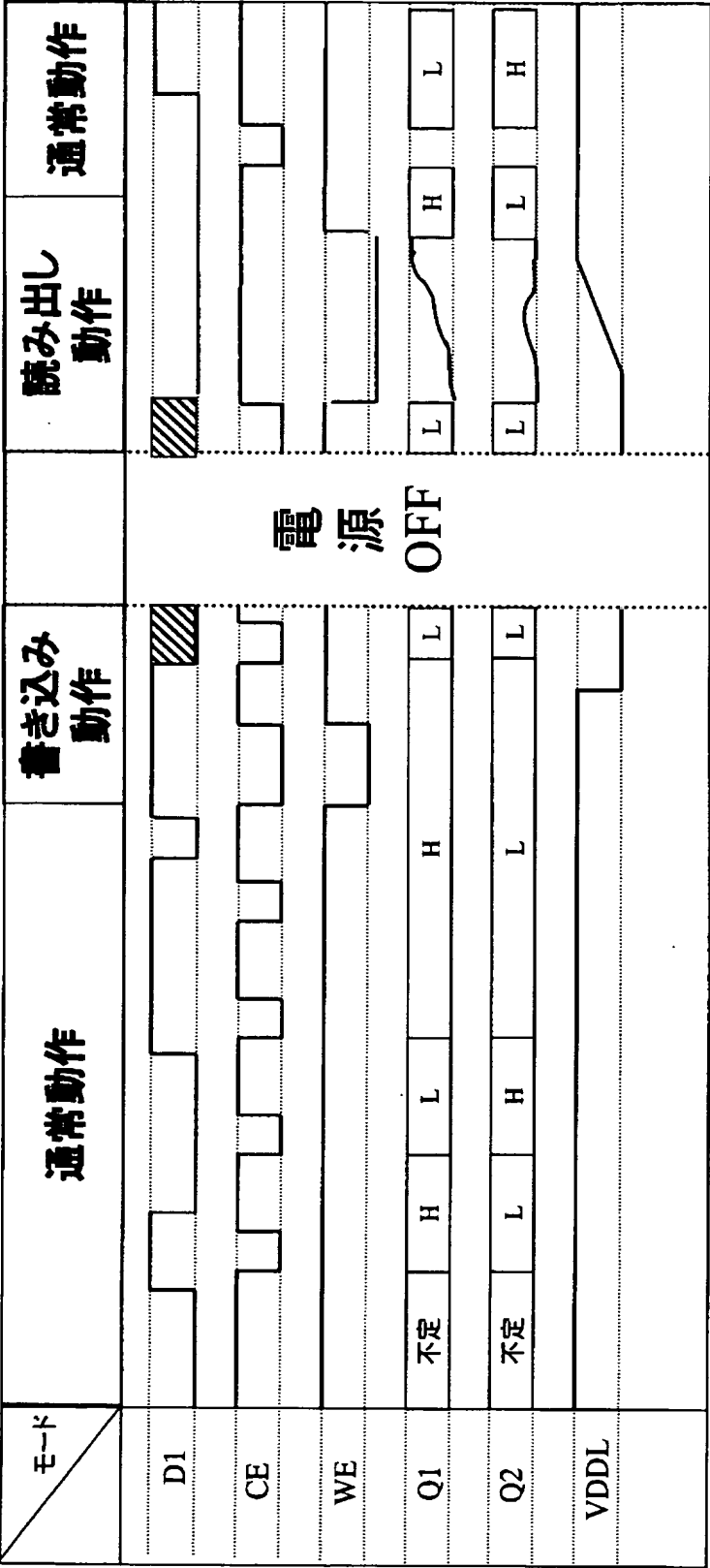
【図 6】




【図 7】

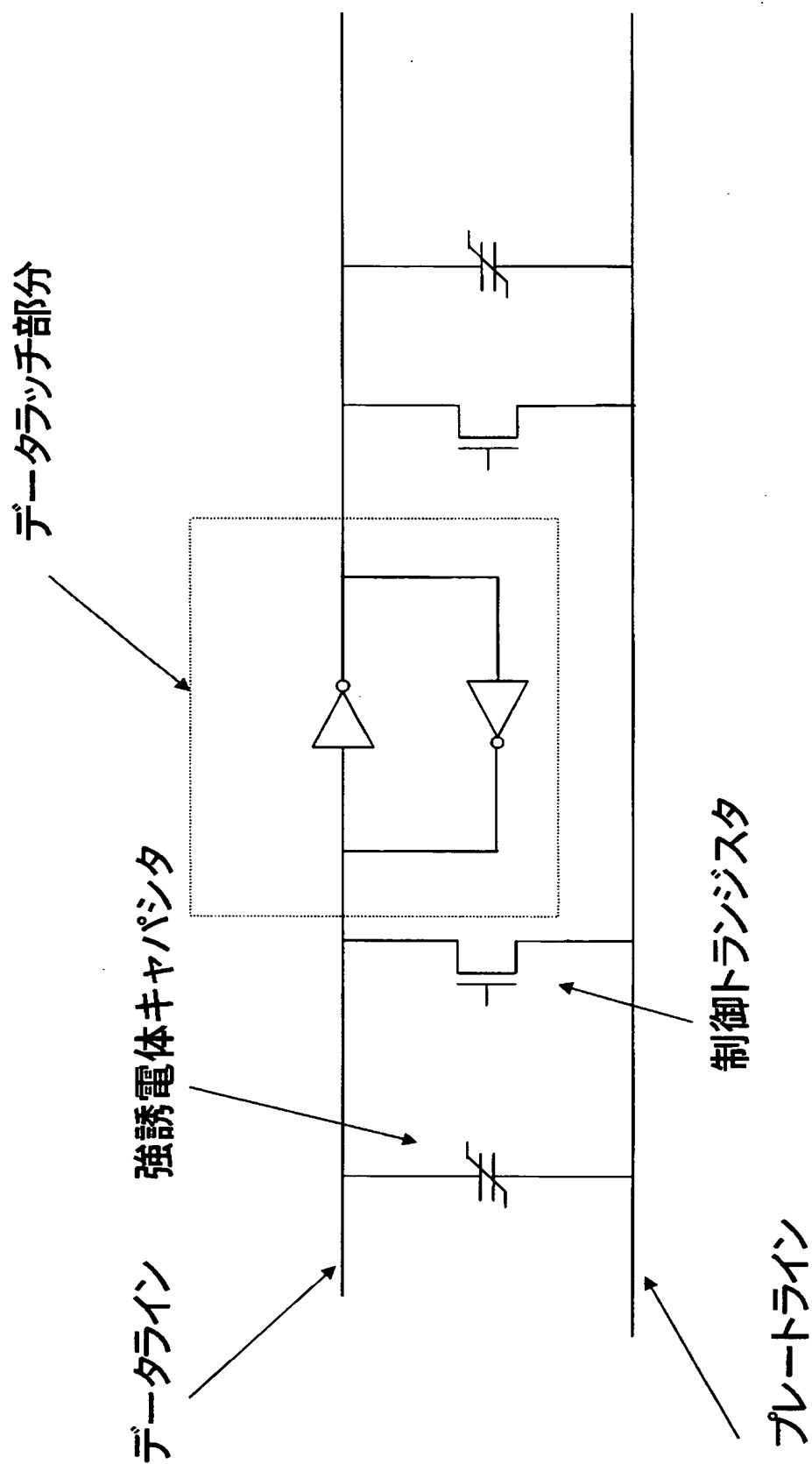


【図 8】



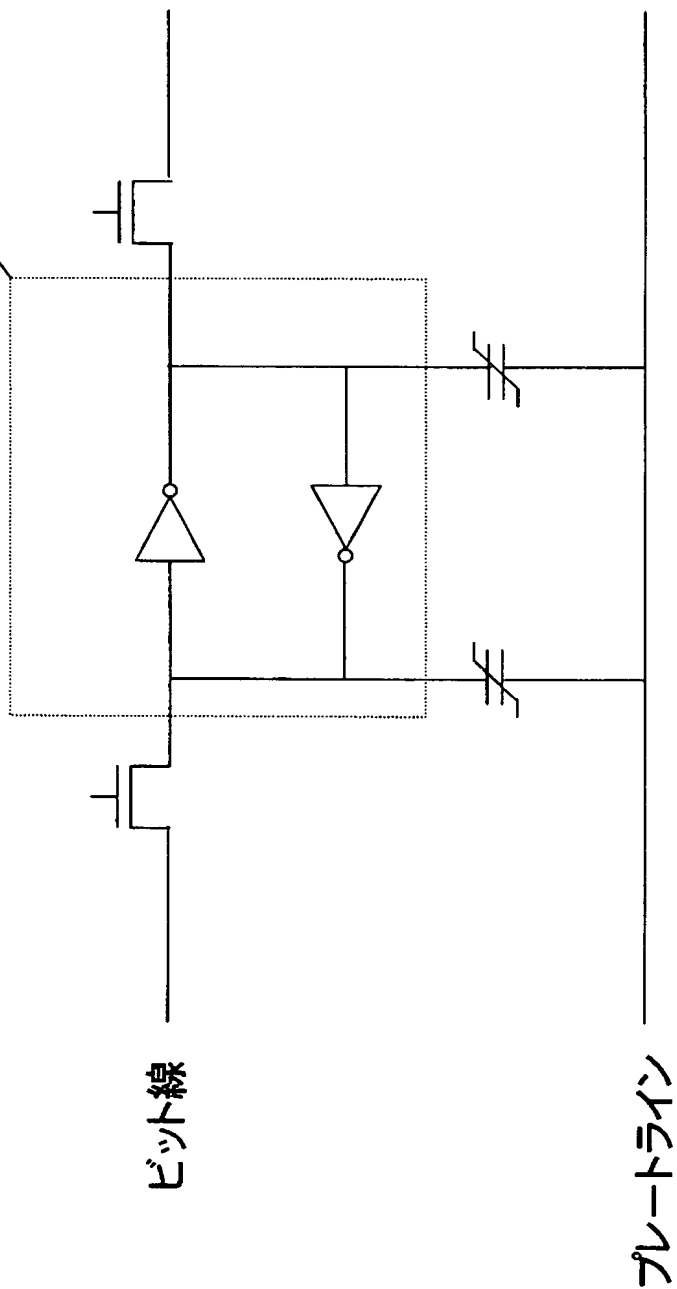
D2はD1の反転信号  D1,D2ともL FEはWEの反転動作

【図 9】



【図 10】

ラッチ回路部



【書類名】 要約書

【要約】

【課題】 配線数の低減と安定動作に最適な強誘電体キャパシタを用いたフリップフロップ動作も可能なメモリセルとその制御方法を提案すること。

【解決手段】 本発明に係るメモリセルは、相補型のデータを用いてデータをラッチするラッチ回路（１）と、このラッチ回路（１）の第一のノード（６）と第二のノード（７）とが、第一のデータ入出力線（２）と第二のデータ入出力線（３）とに、それぞれ第一および第二のスイッチング素子（４・５）を介して接続されており、第一のデータ入出力線（２）と第二のノード（７）との間に強誘電体キャパシタ（８ｂ）が接続され、第二のデータ入出力線（３）と第一のノード（６）に強誘電体キャパシタ（８ａ）が接続されている。

【選択図】 図１

特願 2 0 0 2 - 3 4 0 5 8 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社